

AN701.65-115  
für  
LI-Ion Ladeschaltung N $\mu$ 701.65

Application Note 115: Schnittstelle

Rev. 0.66

# Inhaltsverzeichnis

<b>1</b>	<b>Zweck</b> .....	<b>3</b>
1.1	Beschaltungsbeispiel.....	3
<b>2</b>	<b>Schnittstellenbeschreibung</b> .....	<b>4</b>
2.1	Schreibvorgang.....	4
2.2	Lesevorgang .....	5
2.3	Beispiel.....	5
<b>3</b>	<b>Register</b> .....	<b>5</b>
<b>4</b>	<b>Timing Kennwerte der Schnittstelle</b> .....	<b>8</b>
<b>5</b>	<b>Programmierbeispiele</b> .....	<b>8</b>

## 1 Zweck

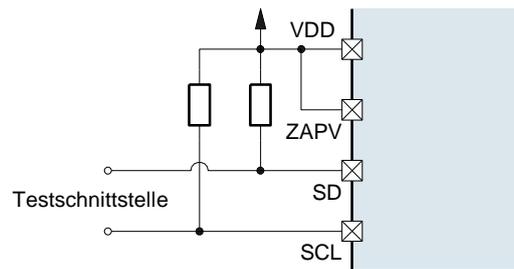
Der N $\mu$ 701.65 lässt sich über eine serielle Schnittstelle prüfen. Dazu ist der Zugriff auf interne Parameter und Funktionen vorgesehen.

Die implementierten Funktionen und Befehle können z. B. für den Baugruppentest über einen externen Controller genutzt werden. Ebenfalls kann die Schnittstelle in der Qualitätssicherung und im Service zur Fehleranalyse genutzt werden. In den beiden folgenden Kapiteln sind das dazu notwendige Protokoll, die Timing-Werte und die erreichbaren Register beschrieben.

### 1.1 Beschaltungsbeispiel

Die Schnittstelle des N $\mu$ 701.65 besteht aus den beiden Pins SD und SCL, deren Pegel sich auf Masse (SVSS) beziehen. Die Schnittstelle ist inaktiv, der N $\mu$ 701.65 also im autonomen Betrieb, wenn beide Pins auf VDD gelegt werden.

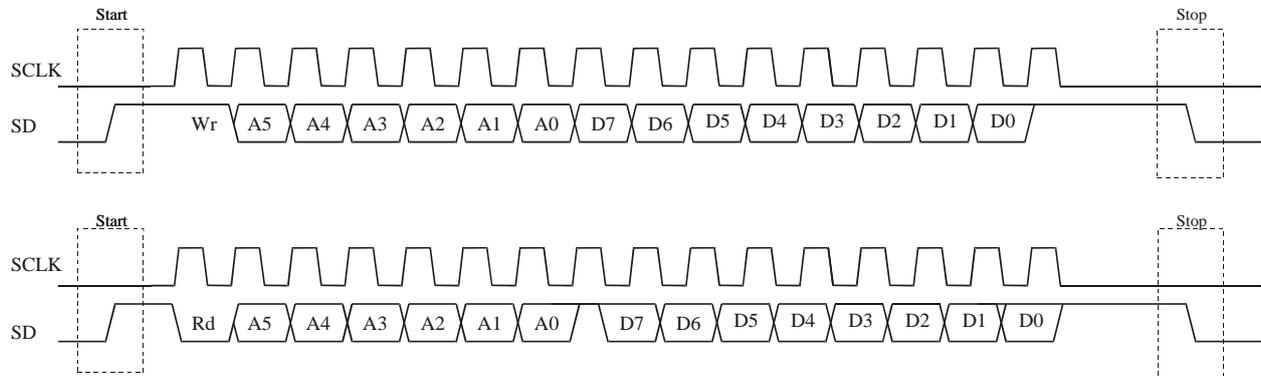
Soll die Schnittstelle nur zum Baugruppen- oder Gerätetest verwendet werden, empfiehlt es sich, die Pins über Pull-Up Widerstände (z.B. 10k) auf VDD zu legen. Somit ist das Gerät immer im autonomen Betrieb, es sei denn, es werden Daten über die Testschnittstelle übertragen.



2 Schnittstellenbeschreibung

Zur Kommunikation von Mikrocontroller und N $\mu$ 701.65 ist eine 2-Draht-Schnittstelle vorgesehen. Über diese Schnittstelle können die Steuerregister im 701.65 programmiert und die Statusregister ausgelesen werden. Der Mikrocontroller agiert als Master, der 701.65 als Slave. Der Master übergibt ein Flag zur Schreib-Lese-Kennung, eine 6 Bit breite Adresse und ein 8 Bit breites Datum. Der Slave meldet die Kennung, die Adresse und das übergebene bzw. angeforderte Datum zurück. Zur Synchronisation dienen eine Start- und Stopsequenz.

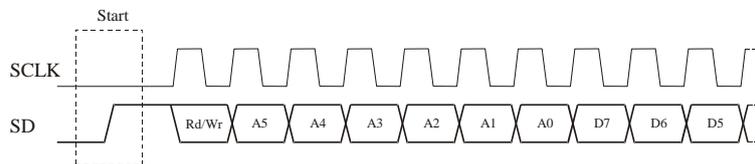
Für eine logische 0 wird ein Highpegel ausgegeben und für eine logische 1 ein Lowpegel.



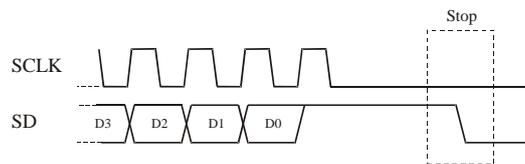
Datenformat der Schnittstelle beim schreiben / lesen

Der Master generiert ein Taktsignal SCLK, welches nicht zwingend eine konstante Periodendauer besitzt. Vielmehr ist die Übertragung, je nach Mikrocontrollerauslastung, schneller oder langsamer oder sogar kurzzeitig unterbrochen. Der Master stellt am Pin "SD" mit der steigenden Taktflanke von SCLK das aktuelle an den 701.65 zu übermittelnde Bit zur Verfügung. Dieses Bit wird vom 701.65 mit der fallenden Taktflanke eingelesen. Mit der fallenden Taktflanke stellt der 701.65 am Pin "SD" das an den Master zu übermittelnde Bit zur Verfügung. Der Master übernimmt dieses Bit mit der steigenden Taktflanke.

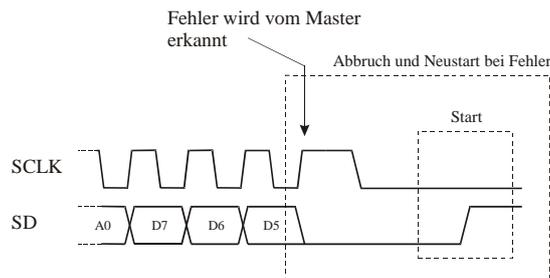
Der Beginn einer Übertragung wird durch eine steigende Flanke an "SD" bei gleichzeitigem Lowpegel an SCLK signalisiert. Der 701.65 reagiert darauf mit einem Zurücksetzen der Schnittstelle, unabhängig davon, ob die vorherige Übermittlung abgeschlossen ist.



Das erfolgreiche Ende einer Übertragung wird durch eine fallende Flanke an "SD" bei gleichzeitigem Lowpegel an SCLK signalisiert und veranlasst den 701.65, die bei einem Schreibvorgang übermittelten Daten zu übernehmen.



Damit ergibt sich für den Master die Möglichkeit, bei einem erkannten Übertragungsfehler die Übertragung abubrechen und eine Übernahme der Daten zu verhindern.



### 2.1 Schreibvorgang

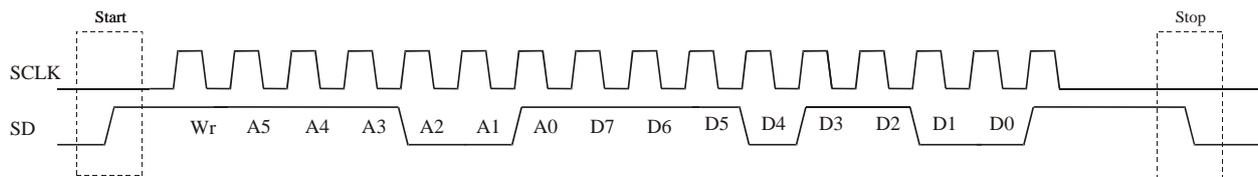
Das Flag Rd/Wr ist gelöscht (high-Pegel). Mit A5 ... A0 übergibt der Master die zu beschreibende Adresse, mit D7 ... D0 den zu schreibenden Wert. Der 701.65 liefert das Flag Rd/Wr (0), die Adresse (A5 ... A0) und das Datum (D7 ... D0) als Echo zurück. Mit der Stopsequenz wird das Datum im 701.65 übernommen.

### 2.2 Lesevorgang

Das Flag Rd/Wr ist gesetzt (low-Pegel). Mit A5 ... A0 übergibt der Master die auszulesende Adresse, in D7 ... D0 einen vom 701.65 nicht berücksichtigten Wert (z.B. 0000 0000). Der 701.65 liefert das Flag Rd/Wr (1), die Adresse (A5 ... A0) und den Inhalt der Adresse (D7 ... D0) als Antwort zurück. Die Stopsequenz hat innerhalb des 701.65 keine Auswirkung.

### 2.3 Beispiel

Hier wird in Adresse 0x06 das Datenwort 0x13 geschrieben



## 3 Register

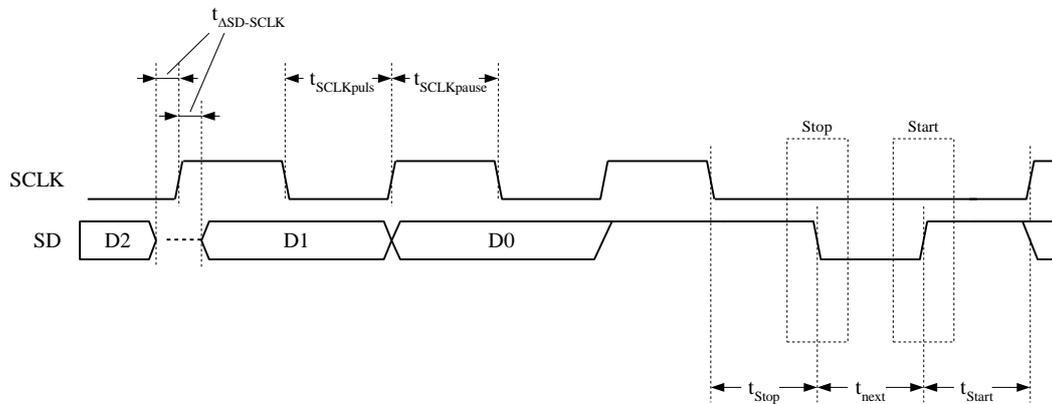
Register	Read/ Write	Adresse	Funktion	Block
ENDC	W	0x00.[0]	Enable Down-Converter: Schaltregler einschalten	DC
ENCC	W	0x00.[1]	Enable Constant Current: Laden mit konstantem Strom, CC-Phase	DC
ENCV	W	0x00.[2]	Enable Constant Voltage: Laden mit konstanter Spannung, CV-Phase	DC
STRAUTO	W	0x00.[3]	Ladestromeinstellung: STRAUTO = 0: Aus Register 0x04 STRAUTO=1: automatisch	DC
LEND	R	0x01.[7]	Kleinster Ladestromwert (20%) erreicht	DC
STR[7:0]	W	0x04.[7:0]	Vorgabe des Ladestromwerts bei STRAUTO=0	DC
IBAT[7:0]	R	0x04.[7:0]	Aktueller Ladestrom	DC
V24ON	R	0x01.[4]	VIN größer als VBAT, Netzteil erkannt	VDD
VDDA ready	R	0x02.[5]	VDDA ist stabil	VDDA
EN2V4	W	0x03.[4]	VDDA Enable	VDDA
VDDAABG[4:0]	W	0x0b.[4:0]	VDDA Abgleich: Versorgungsspannung fein einstellen, Werkseinstellung temporär überschreiben	VDDA
ABGL[2:0]	W	0x0b.[7:5]	Bandgap Abgleich: Versorgungsspannung fein einstellen, Werkseinstellung temporär überschreiben	VDDA
ADCEN	W	0x03.[5]	Enable ADC: AD-Wandler starten	ADC
SCHWD	W	0x03.[2]	Belastung des externen Spannungsteilers	ADC
LEDON[1:0]	W	0x06.[1:0]	LED leuchtet für 20 sec, danach wird das Bit wieder zurückgesetzt	LED
LEDBLINK[1:0]	W	0x06.[3:2]	LED blinkt für 20 sec, danach wird das Bit wieder zurückgesetzt	LED
LEDEN	W	0x06.[4]	Timeout der LEDS wird ausgeschaltet (für Dauerleuchten / -blinken)	LED
SLOWBLINK	W	0x06.[5]	Langsames blinken	LED
LAON	W	0x00.[4]	Lasttransistor einschalten	Last
SZU	R	0x01.[5]	Mechanischer Schalter für die Last ist geschlossen (Pin TAST wird gegen Masse gezogen)	Last
USTR	R	0x01.[6]	Überstrom an LAST erkannt	Last
ENTMP	W	0x03.[6]	Interner Temperaturregeber enable	TMP
OSCEN	W	0x03.[7]	Aktiviert den Betriebsoszillator, deaktiviert den Standby-Oszillator	OSC
ZQ[5:2]	R	0x02.[4:1]	Zellanzahl 0xf: 5 Zellen 0x7: 4 Zellen 0x3: 3 Zellen 0x1: 2 Zellen 0x0: 1 Zelle	BALANCE
ZQOK	R	0x02.[0]	Richtige Erkennung der Zellanzahl	BALANCE
BZ[2:0]	W	0x05.[7:5]	Balance Transistor ON, aktiviert Balancing der entsprechenden Zelle.	BALANCE
ENZQ	W	0x03.[1]	Zellspannungsabfrage Enable temporär	BALANCE
ENZQ	W	0x03.[0]	Zellspannungsabfrage Enable	BALANCE

Timer Reset	W	0x0e.[7]	Alle Timer resettet	Timer
Timer1	R	0x0e.[7:0]	Timer [0,25s]	Timer
Timer2	R	0x0f.[7:0]	Timer [512 s]	Timer
DITMP[7:0]	R	0x13.[7:0]	Spannung an interner Temperaturdiode	ADC
DTMP[7:0]	R	0x14.[7:0]	Spannung an Pin TEMP (externer NTC-Anschluss)	ADC
DZ1[7:0]	R	0x15.[7:0]	Spannung an Zelle 1 (V1-PGND)	ADC
DZ2[7:0]	R	0x16.[7:0]	Spannung an Zelle 2 (V2-V1)	ADC
DZ3[7:0]	R	0x17.[7:0]	Spannung an Zelle 3 (V3-V2)	ADC
DZ4[7:0]	R	0x18.[7:0]	Spannung an Zelle 4 (V4-V3)	ADC
DZ5[7:0]	R	0x19.[7:0]	Spannung an Zelle 5 (VBAT-V4)	ADC
ZH[2:0]	R	0x1a.[7:5]	Zelle mit der höchsten Spannung	ADC
ZGMAX[5:1]	R	0x1a[4:0]	Zellspannung größer als VMAX	ADC
ZGGELB[5:1]	R	0x1b[4:0]	Zellspannung größer als Mittelspannung	ADC
ZGMIN[5:1]	R	0x1c[4:0]	Zellspannung größer als VMIN	ADC
ADC ready	R	0x1d[4:0]	Zeigt an, welche Messung gerade durchgeführt wird	ADC

ZAP[7:0]	R	0x08.[7:0]	Interne Verwendung	Intern
TestRegister	W	0x1e.[7:0]	Interne Verwendung	Intern
TestRegister	W	0x1f.[7:0]	Interne Verwendung	Intern

## 4 Timing Kennwerte der Schnittstelle

## Signaldiagramm



## Timingdiagramm

Die Werte in der Tabelle beziehen sich auf eine Oszillatorfrequenz von  $f_{OSC} = 4\text{MHz}$

#	Parameter	Bedingung	Symbol	min	typ	max	Einheit
1	SCLK Pulsdauer		$t_{SCLKpuls}$	1			$\mu\text{s}$
2	SCLK Pausenzeit		$t_{SCLKpause}$	1			$\mu\text{s}$
3	Übernahmezeit der Daten an SDI	positive SCLK-Flanke	$t_{SDI\ read}$			0,5	$\mu\text{s}$
4	Ausgabeverzögerung an SDO	positive SCLK-Flanke	$t_{SDO\ out}$			0,5	$\mu\text{s}$
5	Delay der SDI-Daten zu SCLK <sup>1</sup>	negative SCLK-Flanke	$ t_{ASDI-SCLK} $			125	ns
6	Wartezeit vor "Stop"	nach pos. SCLK-Flanke	$t_{Stop}$	1			$\mu\text{s}$
7	Wartezeit zwischen den Schreibvorgängen		$t_{next}$	1			$\mu\text{s}$
8	Wartezeit nach Start	vor neg. SCLK-Flanke	$t_{Start}$	1			$\mu\text{s}$

<sup>1</sup> Die Daten an SDI müssen sich "zeitgleich" mit der fallenden SCLK-Flanke ändern, ansonsten wird die Übertragung als ungültig abgebrochen, bzw. fälschlich eine "Start"- bzw. "Stop"-Sequenz erkannt.

## 5 Programmierbeispiele

Die Programmierbeispiele finden Sie im separaten Application-Note 116 (Ansi-C) bzw. 117 (National Instruments LabView).